



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010011310 (43) Publication.Date. 20010215

(21) Application No.1019990030616 (22) Application Date. 19990727

(51) IPC Code:

H01L 23/28

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

JANG, OK HYEONG

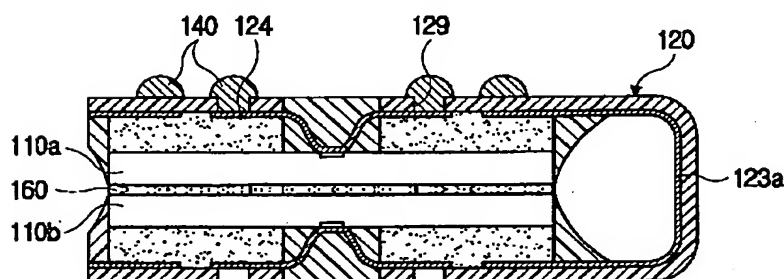
KO, JUN YEONG

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING LAMINATED PACKAGE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a laminated package is to laminate chip scale packages using a tape wiring substrate.

CONSTITUTION: A method for manufacturing a laminated package comprises the steps of: preparing a tape wiring substrate(120) formed with a wiring pattern having beam leads on one surface of a polyimide tape; attaching the first semiconductor chips(110a) on a surface of the wiring substrate; attaching the second semiconductor chips(110b) on the surface of the substrate, the chips being spaced apart from the first semiconductor chips; joining the first and second semiconductor chips and the beam leads; sealing the joined portion of the chips and the beam leads to form a resin sealing; forming an adhering layer(160) on a bottom surface of the first semiconductor chips; bending the tape wiring substrate to opposite the bottom surface of the first semiconductor chips to a bottom surface of the second semiconductor chips, and adhering the adhering layer with the bottom surface of the second semiconductor chips; and forming an exterior connecting terminal

on a surface of the substrate.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup>

(11) 공개번호

특2001-0011310

H01L 23 /28

(43) 공개일자

2001년02월 15일

(21) 출원번호

10-1999-0030616

(22) 출원일자

1999년07월27일

(71) 출원인

삼성전자 주식회사 윤종용

(72) 발명자

경기 수원시 팔달구 매탄3동 416

고준영

충청남도천안시신방동신동아아파트 104동910호

장옥형

충청남도천안시쌍용동한라동백아파트 103동203호

(74) 대리인

윤동열, 이선희

심사청구 : 없음

(54) 적층 패키지의 제조 방법

요약

본 발명은 적층 패키지의 제조 방법에 관한 것으로, 테이프 배선기판을 이용하는 칩 스케일 패키지를 적층한 적층 패키지의 제조 방법을 제공하기 위하여, 테이프 배선기판을 이용한 적층 패키지에 관한 것으로, (A) 유연성이 있는 폴리이미드 테이프의 일면에 복수개의 빔 리드를 포함한 배선 패턴이 형성된 테이프 배선기판을 준비하는 단계와; (B) 상기 테이프 배선기판의 일면에 제 1 반도체 칩들을 소정의 간격을 두고 일행으로 부착하는 단계와; (C) 상기 테이프 배선기판의 일면에 상기 제 1 반도체 칩들에 대응되게 제 2 반도체 칩들을 제 1 반도체 칩들에 소정의 간격을 두고 일행으로 부착하는 단계와; (D) 상기 제 1 및 제 2 반도체 칩들과 상기 빔 리드를 접합하는 단계와; (E) 상기 제 1 및 제 2 반도체 칩의 외곽과 상기 빔 리드가 연결된 부분을 각기 봉합하여 수지 봉합부를 형성하는 단계와; (F) 상기 제 1 반도체 칩의 하부면에 접착층을 형성하는 단계와; (G) 상기 제 1 반도체 칩의 하부면과 상기 제 2 반도체 칩의 하부면이 마주볼 수 있도록 상기 테이프 배선기판을 접어 상기 제 1 반도체 칩의 하부면의 접착층에 상기 제 2 반도체 칩의 하부면을 각기 부착하는 단계; 및 (H) 상기 제 1 반도체 칩 아래의 테이프 배선기판의 면에 외부접속단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법을 제공한다. 따라서, 본 발명의 구조를 따르면 테이프 배선기판을 이용하는 칩 스케일 패키지를 적층한 적층 패키지를 구현할 수 있다. 그리고, 테이프 배선기판을 이용하는 칩 스케일 패키지의 제조공정을 그대로 활용하면서 적층 패키지를 구현할 수 있기 때문에, 추가적인 비용부담을 덜 수 있다. 그리고, 2행×n열의 반도체 칩을 실장할 수 있는 테이프 배선기판을 이용할 경우에, n개에 해당되는 적층 패키지를 동시에 얻을 수 있는 장점도 있다.

대표도

## 명세서

### 도면의 간단한 설명

도 1은 테이프 배선기판을 포함하는 전형적인 칩 스케일 패키지로서, 테세라사의  $\mu$ -BGA 패키지의 한 예를 나타내는 단면도,

도 2 내지 도 5는 본 발명의 실시예에 따른 테이프 배선기판을 이용한 적층 패키지의 제조 단계를 나타내는 도면들로서,

도 2는 반도체 칩들이 2행 $\times$ n컬로 테이프 배선기판에 부착된 상태를 보여주는 평면도,

도 3은 도 2의 3-3선 단면도로서, 수지 봉합부가 형성된 상태를 보여주는 단면도,

도 4는 테이프 배선기판의 외곽 부분이 잘여지고, 제 1 반도체 칩의 하부면에 접착층이 형성된 상태를 보여주는 단면도,

도 5는 테이프 배선기판을 접어 제 1 반도체 칩의 하부면에 제 2 반도체 칩의 하부면이 부착된 상태를 보여주는 단면도,

도 6은 솔더 범프가 형성된 상태를 보여주는 단면도,

도 7은 테이프 배선기판을 잘라 개별 적층 패키지로 분리되는 상태를 보여주는 단면도,

도 8은 본 발명의 다른 실시예에 따른 도 7의 적층 패키지가 2단으로 적층된 상태를 보여주는 단면도이다.

### \* 도면의 주요 부분에 대한 설명 \*

110a, 110b : 반도체 칩      112a, 112b : 전극 패드

120, 220 : 테이프 배선기판      123b : 공유 배선 패턴

130 : 탄성중합체      140, 240 : 솔더 범프

150 : 수지 봉합부      160 : 접착층

170 : 절단 수단      200, 200a, 200b : 적층 패키지

300 : 2층의 적층 패키지

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층 패키지의 제조 방법에 관한 것으로, 더욱 상세하게는 테이프 배선기판을 이용한 칩 스케일 패키지를 적층한 적층 패키지의 제조 방법에 관한 것이다.

오늘날 전자산업의 추세는 더욱 경량화, 소형화, 고속화, 다기능화, 고성능화 되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 설정을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 기술이며, 이에 따라 근래에 개발된 패키지 중의 칩 스케일 패키지(Chip Scale Package; CSP)이다.

칩 스케일 패키지는 반도체 칩 크기 수준으로 제조되는 패키지로써, 최근 몇 년 사이에 미국, 일본, 한국 등의 수십개의 회사로부터 여러 유형들이 소개되어 왔으며, 현재도 개발이 활발히 진행되고 있다. 대표적인 칩 스케일 패키지 중의 하나가 미국 테세라사(Tessera's)에서 개발한 마이크로 볼 그리드 어레이( $\mu$ -Ball Grid Array;  $\mu$ -BGA) 패키지이다.  $\mu$ -BGA 패키지에 적용되는 인쇄회로기판은 두께가 얇고 유연성을 갖는 플렉서블 회로 기판(flexible circuit board)과 같은 테이프 배선기판이다. 그리고,  $\mu$ -BGA 패키지의 특징 중의 하나는 테이프 배선기판에 형성된 윈도우(window)를 통하여 반도체 칩의 전극 패드에 빔 리드(beam lead)가 일괄적으로 본딩(beam lead bonding)된다는 점이다.

도 1은 테이프 배선기판(20)을 포함하는 전형적인 칩 스케일 패키지(100)로서, 테세라사의  $\mu$ -BGA 패키지의 한 예를 나타내는 단면도이다. 도 1을 참조하면, 폴리이미드 테이프(21; polyimide tape)에 형성된 배선 패턴(23)이 테이프 배선기판(20)을 구성하며, 탄성중합체(30; elastomer)가 테이프 배선기판(20)과 반도체 칩(10) 사이에 개재된다. 배선 패턴의 빔 리드(25; beam lead)는 반도체 칩의 전극 패드(12)와 일괄적으로 접합되며, 폴리이미드 테이프(21)에 형성된 접속 구멍(29; connect hole)을 통하여 접속 구멍(29)으로 노출된 배선 패턴의 솔더 범프 패드(124; solder bump pad)에 솔더 범프(70; solder bump)가 접속된다. 전극 패드(12)와 빔 리드(25)의 접합 부분과 반도체 칩(10)의 외곽은 성형수지로 봉합하여 수지 봉합부(50)를 형성한다. 한편, 반도체 칩(10)은 전극 패드(12)가 활성면에 중심선을 따라서 형성된 센터 패드(center pad)형 반도체 칩이며, 테이프 배선기판의 윈도우(27; window)는 전극 패드(12)와 빔 리드(25)가 접속할 수 있도록 전극 패드(11)가 형성된 부분을 따라서 긴 구멍으로 형성된다.

전술된 바와 같은 하나의 반도체 칩을 패키징하는 칩 스케일 패키지 이외에, 패키지의 크기를 줄이기 위해서 제안되어 온 여러 가지 방안 예를 들면, 반도체 칩 또는 패키지를 입체적으로 복수개 적층한 패키징 기술이 있다. 이와 같은 적층 패키징 기술에 의해 구현된 패키지를 통상적으로 적층 패키지(stack package)라 한다.

그런데, 전술된 바와 같은 칩 스케일 패키지는 인쇄회로기판에 평면적으로밖에 실장할 수 없기 때문에, 적층 패키지로 구현하기가 용이하지 않다. 즉, 칩 스케일 패키지의 외부접속단자로서 활용할 수 있는 솔더 범프가 반도체 칩이 실장된 테이프 배선기판의 면에 반대되는 면에 형성되어 있고, 다른 접속 수단을 구비하고 있지 않기 때문에, 기존의 칩 스케일 패키지의 구조로는 복수개의 칩 스케일 패키지를 입체적으로 적층하는 것이 용이하지 않다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 테이프 배선기판을 이용하는 칩 스케일 패키지를 적층한 적층 패키지의 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적은 테이프 배선기판을 이용하는 칩 스케일 패키지의 제조 공정을 그대로 활용하면서 구현할 수 있는 적층 패키지의 제조 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 테이프 배선기판을 이용한 적층 패키지에 관한 것으로, (A) 유연성이 있는 폴리이미드 테이프의 일면에 복수개의 빔 리드를 포함한 배선 패턴이 형성된 테이프 배선기판을 준비하는 단계와; (B) 상기 테이프 배선기판의 일면에 제 1 반도체 칩들을 소정의 간격을 두고 일행으로 부착하는 단계와; (C) 상기 테이프 배선기판의 일면에 상기 제 1 반도체 칩들에 대응되게 제 2 반도체 칩들을 제 1 반도체 칩들에 소정의 간격을 두고 일행으로 부착하는 단계와; (D) 상기 제 1 및 제 2 반도체 칩들과 상기 빔 리드를 접합하는 단계와; (E) 상기 제 1 및 제 2 반도체 칩의 외곽과 상기 빔 리드가 연결된 부분을 각기 봉합하여 수지 봉합부를 형성하는 단계와; (F) 상기 제 1 반도체 칩의

하부면에 접착층을 형성하는 단계와; (G) 상기 제 1 반도체 칩의 하부면과 상기 제 2 반도체 칩의 하부면이 마주볼 수 있도록 상기 테이프 배선기판을 접어 상기 제 1 반도체 칩의 하부면의 접착층에 상기 제 2 반도체 칩의 하부면을 각기 부착하는 단계; 및 (H) 상기 제 1 반도체 칩 아래의 테이프 배선기판의 면에 외부접속단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법을 제공한다.

본 발명의 제조 방법에 따른 (E) 단계 이후에, 제 1 및 제 2 반도체 칩들 외곽의 수지 봉합부를 포함한 테이프 배선기판을 잘라내는 단계를 더 포함한다.

그리고, 본 발명의 제조 방법에 따른 (H) 단계 이후에, 개별 적층 패키지로 분리하기 위하여 제 1 반도체 칩 사이의 테이프 배선기판 부분을 잘라내는 단계를 더 포함한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 2 내지 도 7은 본 발명의 실시예에 따른 테이프 배선기판을 이용한 적층 패키지의 제조 단계를 나타내는 도면들이다. 도 2 내지 도 7을 참조하여 본 발명에 따른 적층 패키지의 제조 단계를 설명하겠다. 한편, 도면을 통틀어 동일한 도면부호는 동일한 구성 요소를 나타낸다.

먼저, 도 2 및 도 3에 도시된 바와 같이 테이프 배선기판(120)을 이용하여 통상적인 칩 스케일 패키지 제조 공정에 의해 수지 봉합부(150)가 형성된 상태를 도시하고 있다.

먼저, 폴리이미드 테이프(121)와, 폴리이미드 테이프(121)의 일면에 사진식판술(photolithography)에 의해 형성된 배선 패턴(123)으로 구성된 테이프 배선기판(120)을 준비한다. 즉, 폴리이미드 테이프(121)의 일면에 구리박막(Cu foil)을 부착한 상태에서 구리박막을 사진식판술을 이용하여 패터닝하여 빔 리드(125)를 포함한 배선 패턴(123)을 형성한다. 폴리이미드 테이프(121)의 중심 부분에 빔 리드(125)가 노출될 수 있도록 윈도우(127)를 형성한다. 배선 패턴(123)의 일부분 즉 솔더 범프가 형성될 원판 형상의 솔더 범프 패드(124)가 노출될 수 있도록 폴리이미드 테이프(121)를 관통하여 접속 구멍(129)을 형성한다. 그리고, 노출된 빔 리드(125)에는 금(Au) 도금막이 형성되어 있다.

테이프 배선기판(120)은 2행×n컬로(n:자연수) 반도체 칩(110a, 110b)들을 실장할 수 있도록 배선 패턴(123)을 포함한 윈도우(127)가 형성되며, 각 열의 윈도우(127) 사이의 배선 패턴(123a; 이하, "공유 배선 패턴"이라 하자)은 공유할 수 있도록 형성된다. 한편, 도 2에서 2행×3컬로 반도체 칩(110a, 110b)이 부착된 상태를 도시하였다.

다음으로, 테이프 배선기판(120)의 일면에 각기 탄성중합체(130)를 개재한 상태에서 반도체 칩들(110a, 110b)을 2행×n컬로 부착한다. 이때, 도 2에서 상부 행의 반도체 칩(110a)을 제 1 반도체 칩이라 하고, 하부 행의 반도체 칩(110b)을 제 2 반도체 칩이라 하자. 제 1 및 제 2 반도체 칩(110a, 110b)은 전극 패드(112a, 112b)가 활성면의 중심선을 따라서 형성된 센터 패드형(center pad type) 반도체 칩이며, 테이프 배선기판의 윈도우(127)는 전극 패드(112a, 112b)와 빔 리드(125)가 접속할 수 있도록 전극 패드(112a, 112b)가 형성된 부분을 따라서 긴 구멍으로 형성된다.

다음으로, 제 1 및 제 2 반도체 칩의 전극 패드(112a, 112b)와 그에 대응되는 빔 리드(125)들이 일괄적으로 접합되며, 접합된 부분과 제 1 및 제 2 반도체 칩(110a, 110b)의 외곽은 액상의 성형 수지에 의해 봉합되어 수지 봉합부(150)를 형성한다.

한편, 전술된 바와 같은 공정은 통상적인 테이프 배선기판을 이용한 칩 스케일 패키지의 제조 공정과 동일하게 진행하였다. 하지만, 적층 패키지를 구현하기 위하여 공유 배선 패턴(123a)이 형성되어 있고, 이후에 진행될 공정에서 테이프 배선기판(120)을 접을 수 있도록 제 1 및 제 2 반도체 칩(110a, 110b)이 소정의 간격으로 이격되어 있다. 상세한 설명은 이후의 각 공정에서 이루어질 것이다.

다음으로 도 4에 도시된 바와 같이 제 1 반도체 칩(110a)의 하부면에 접착층(160)을 형성한다. 접착층(160)을 형성하는 물질로는 전도성 또는 비전도성 접착제를 모두 사용할 수도 있고, 양면접착성이 있는 폴리이미드 테이프를 사용할 수도 있다. 한편, 본 발명의 실시예에서는 제 1 반도체 칩(110a)의 하부면에 접착층(160)을 형성하였지만, 제 2 반도체 칩

(110b)의 하부면에 접착층을 형성하거나, 제 1 및 제 2 반도체 칩(110a, 110b)의 하부면 모두에 접착층을 형성하여도 무방하다.

그리고, 제조되는 적층 패키지의 크기를 최소화할 수 있도록, 접착층(160)을 형성하는 공정 전 또는 후에 제 1 및 제 2 반도체 칩(110a, 110b)들 외곽의 수지 봉합부(150)의 일부분을 포함한 테이프 배선기판(120) 즉 테이프 배선기판(120)의 외곽을 잘라내는 단계를 진행한다. 도면부호 151은 수지 봉합부(150)를 포함한 테이프 배선기판(120)의 외곽의 잘려진 면을 가리킨다.

다음으로 도 5에 도시된 바와 같이 제 1 반도체 칩(110a)의 하부면에 제 2 반도체 칩(110b)의 하부면을 부착하는 공정을 진행한다. 즉, 제 1 반도체 칩(110a)들과 제 2 반도체 칩(110b)들을 중심에 해당되는 테이프 배선기판(120)의 일면을 중심으로 하여 제 1 반도체 칩(110a)과 제 2 반도체 칩(110b)의 하부면이 서로 마주볼 수 있도록 테이프 배선기판(120)을 접어 접착층(160)이 형성된 제 1 반도체 칩(110a)의 하부면에 제 2 반도체 칩(110b)의 하부면을 부착시킨다. 이때, 제 1 반도체 칩(110a)의 하부면으로 제 2 반도체 칩(110b)의 하부면이 위치할 수 있을 정도의 제 1 반도체 칩(110a)과 제 2 반도체 칩(110b) 사이의 테이프 배선기판(120) 부분을 확보하는 것이 바람직하다.

다음으로 도 6에 도시된 바와 같이 제 1 반도체 칩(110a)의 상부의 테이프 배선기판(120)의 접속 구멍(129)에 솔더 범프(140)와 같은 금속 범프를 형성한다. 즉, 접속 구멍(129)을 통하여 노출되는 솔더 범프 패드(124)에 플럭스(flux)를 도포한 후 구형의 솔더 볼(solder ball)을 올리고 리플로우(reflow)시킴으로써 솔더 범프 패드(124)에 접속된 솔더 범프(140)를 형성한다. 솔더 범프(140) 대신에 니켈(Ni) 또는 금(Au) 도금 범프와 같은 금속 범프를 형성할 수도 있다.

본 발명의 실시예에서는 제 1 반도체 칩(110a)의 상부에 솔더 범프(140)를 형성하였지만, 제 2 반도체 칩(110b)의 상부에 솔더 범프를 형성하여도 무방하다. 제 1 반도체 칩(110a)과 제 2 반도체 칩(110b)은 공유 배선 패턴(123a)에 의해 서로 전기적으로 연결된 단자를 갖는다.

마지막으로 도 7에 도시된 바와 같이 개별 적층 패키지(200)로 분리하는 단계가 진행된다. 즉, 솔더 범프(140)가 형성된 면이 위를 향하도록 테이프 배선기판(120)을 배치시킨 상태에서, 제 1 반도체 칩(110a)과 제 1 반도체 칩(110a) 사이의 테이프 배선기판(120)을 절단 수단(170)으로 잘라 개별 적층 패키지(200)로 분리한다. 이때, 적층 패키지(200)의 크기를 최소한으로 하기 위하여, 제 1 및 제 2 반도체 칩(110a, 110b)들 외곽의 수지 봉합부(150)의 일부분을 포함한 테이프 배선기판(120)을 잘라내는 것이 바람직하다.

도 7에서는 열 방향으로 테이프 배선기판(120)이 잘여지는 상태를 도시하기 위하여 테이프 배선기판(120)을 행 방향으로 도시하였다. 적층 패키지(200)를 인쇄회로기판에 적층하기 위해서는 솔더 범프(140)가 형성된 면이 아래를 향하도록 하여 접속한다.

한편, 본 발명에 따른 실시예에서는 디귿자(ㄷ) 형상의 테이프 배선기판(120)의 내부에 두 개의 반도체 칩(110a, 110b)이 실장되는 테이프 배선기판(120)의 일면에 솔더 범프(140)가 형성된 적층 패키지(200)로 구현하였지만, 도 8에 도시된 바와 같이 도 7의 적층 패키지(200a, 200b)를 2층으로 적층한 2층 적층 패키지(300)로도 구현이 가능하다. 이때, 상부의 적층 패키지(200b)를 상부 적층 패키지라 하고, 하부의 적층 패키지(200a)를 하부 적층 패키지라 하자. 즉, 하부 적층 패키지(200a) 상부의 테이프 배선기판(120)의 접속 구멍(129)에 상부 적층 패키지(200b)의 솔더 범프(240)가 올 수 있도록 정렬한 상태에서 상부 및 하부 적층 패키지(200a, 200b) 사이의 솔더 범프(240)를 다시 리플로우하여 상부 및 하부 적층 패키지(200a, 200b)를 2층으로 적층하는 것이 가능하다.

또는, 하부 적층 패키지(200a) 상부의 테이프 배선기판의 접속 구멍(129)에 솔더 볼을 올리고, 그 위에 솔더 볼이 형성되지 않은 상부 적층 패키지(200b) 하부의 테이프 배선기판(220)의 접속 구멍(229)을 정렬시킨 상태에서 솔더 볼을 리플로우시켜 상부 및 하부의 접속구멍(129, 229)에 접속된 솔더 범프(240)를 형성하여 2층의 적층 패키지(300)를 구현할 수도 있다.

도 8에서는 2층으로 적층 패키지(300)를 구현하였지만, 3층 이상의 적층 패키지의 구현도 가능함은 본 발명이 속하는 기술 분야의 통상의 지식을 가진자에게는 자명한 사항이다.

## 발명의 효과

따라서, 본 발명의 구조를 따르면 테이프 배선기판을 이용하는 칩 스케일 패키지를 적층한 적층 패키지를 구현할 수 있다. 그리고, 테이프 배선기판을 이용하는 칩 스케일 패키지의 제조 공정을 그대로 활용하면서 적층 패키지를 구현할 수 있기 때문에, 추가적인 비용부담을 덜 수 있다.

그리고, 2행× n열의 반도체 칩을 실장할 수 있는 테이프 배선기판을 이용할 경우에, n개에 해당되는 적층 패키지를 동시에 얻을 수 있는 장정도 있다.

## (57) 청구의 범위

청구항 1. 테이프 배선기판을 이용한 적층 패키지에 관한 것으로,

(A) 유연성이 있는 폴리이미드 테이프의 일면에 복수개의 빔 리드를 포함한 배선 패턴이 형성된 테이프 배선기판을 준비하는 단계와;

(B) 상기 테이프 배선기판의 일면에 제 1 반도체 칩들을 소정의 간격을 두고 일행으로 부착하는 단계와;

(C) 상기 테이프 배선기판의 일면에 상기 제 1 반도체 칩들에 대응되게 제 2 반도체 칩들을 제 1 반도체 칩들에 소정의 간격을 두고 일행으로 부착하는 단계와;

(D) 상기 제 1 및 제 2 반도체 칩들과 상기 빔 리드를 접합하는 단계와;

(E) 상기 제 1 및 제 2 반도체 칩의 외곽과 상기 빔 리드가 연결된 부분을 각기 봉합하여 수지 봉합부를 형성하는 단계와;

(F) 상기 제 1 반도체 칩의 하부면에 접착층을 형성하는 단계와;

(G) 상기 제 1 반도체 칩의 하부면과 상기 제 2 반도체 칩의 하부면이 마주볼 수 있도록 상기 테이프 배선기판을 접어 상기 제 1 반도체 칩의 하부면의 접착층에 상기 제 2 반도체 칩의 하부면을 각기 부착하는 단계; 및

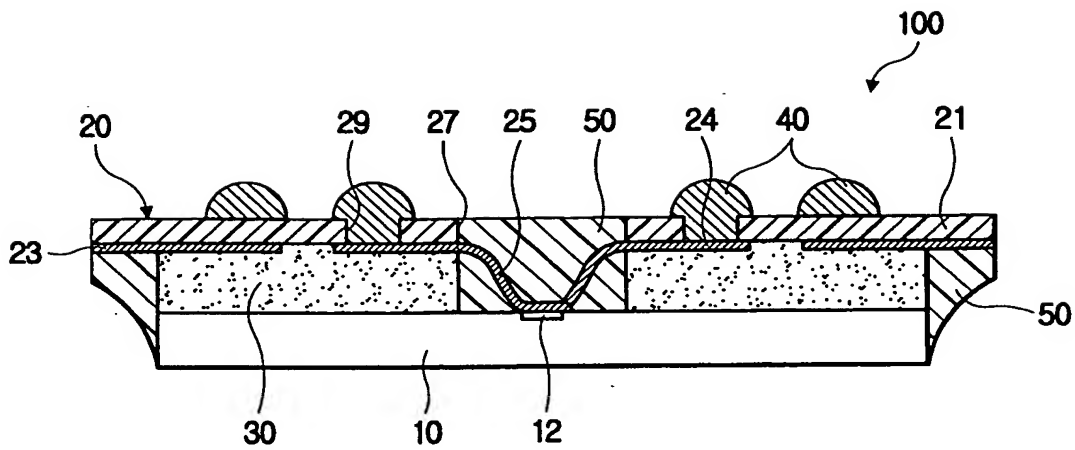
(H) 상기 제 1 반도체 칩 아래의 테이프 배선기판의 면에 외부접속단자를 형성하는 단계;를 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법.

청구항 2. 제 1항에 있어서, 상기 (E) 단계 이후에, 상기 제 1 및 제 2 반도체 칩들 외곽의 상기 수지 봉합부를 포함한 테이프 배선기판을 잘라내는 단계를 더 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법.

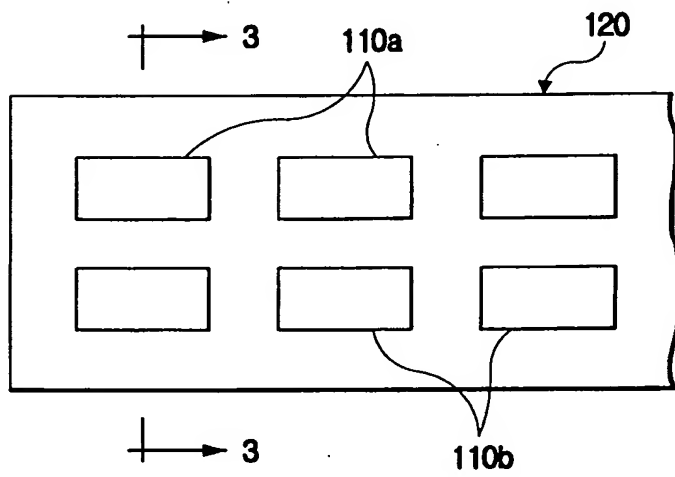
청구항 3. 제 1항에 있어서, 상기 (H) 단계 이후에, 개별 적층 패키지로 분리하기 위하여 제 1 반도체 칩 사이의 상기 테이프 배선기판 부분을 잘라내는 단계를 더 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법.

## 도면

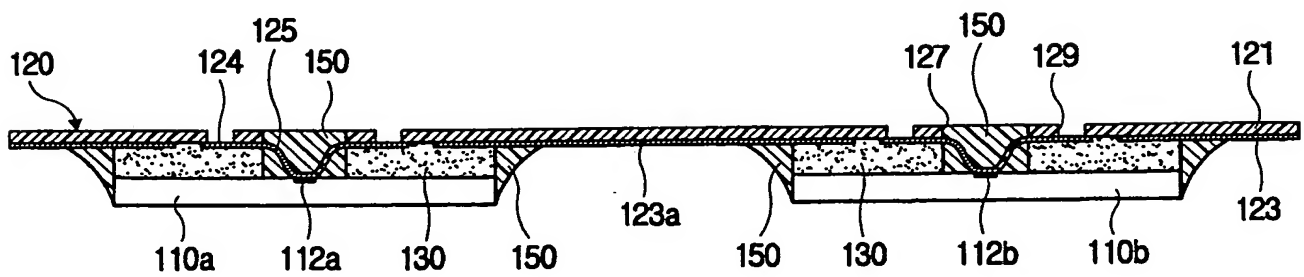
### 도면1



도면2

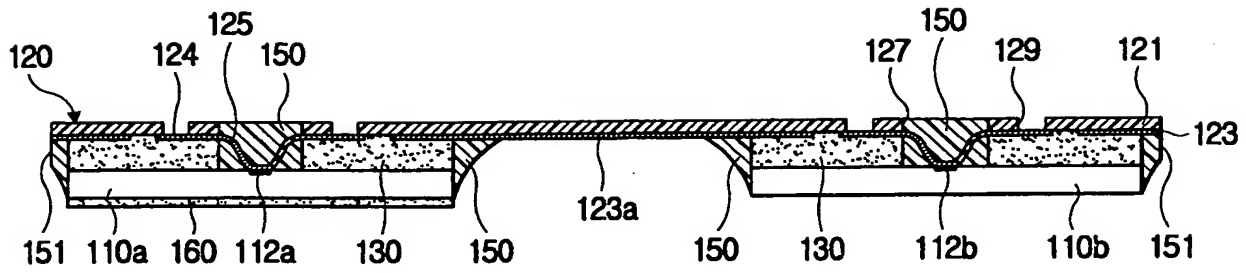


도면3

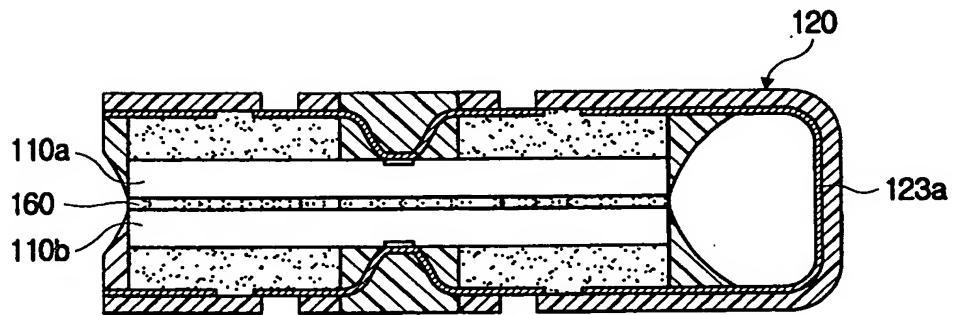




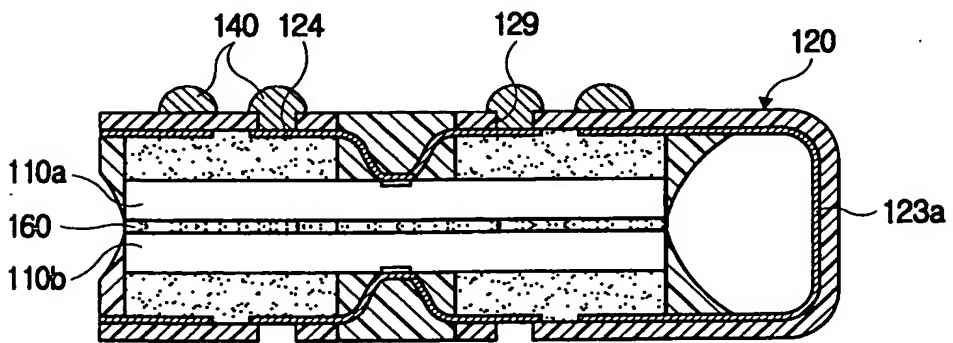
도면4



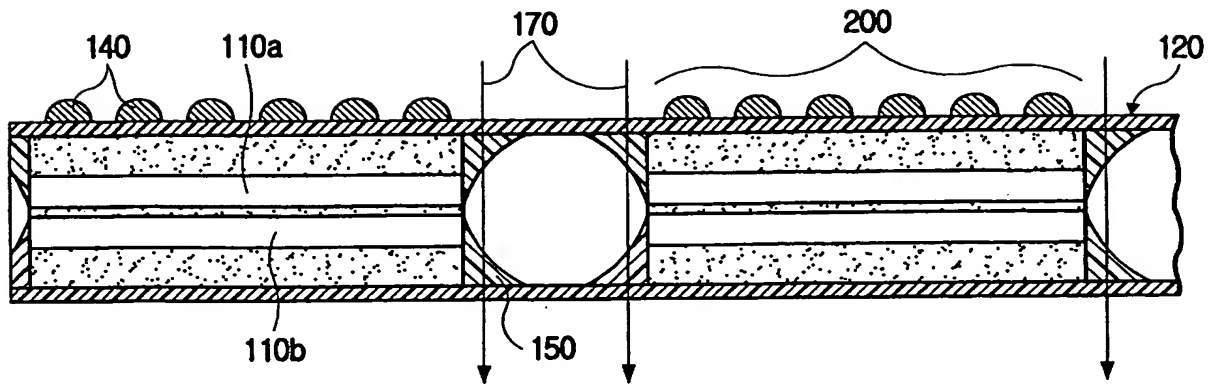
도면5



도면6



도면7



도면8

